



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hirohisa KAWASAKI, et al.

GAU:

SERIAL NO: 10/739,087

EXAMINER:

FILED: December 19, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-360727	October 21, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

0350684  
10/739,087

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 0 月 2 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 3 6 0 7 2 7  
Application Number:

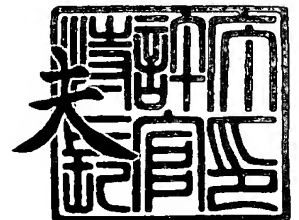
[ST. 10/C]:            [ J P 2 0 0 3 - 3 6 0 7 2 7 ]

出      願      人            株式会社東芝  
Applicant(s):

2 0 0 4 年   1 月   7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 0 9 1 3 3

【書類名】 特許願  
【整理番号】 A000302488  
【提出日】 平成15年10月21日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内  
    【氏名】 川崎 博久  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内  
    【氏名】 磯辺 和亜樹  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 の下端部とこの第 1 の下端部よりも突出する第 1 の上端部とを有する第 1 の配線層と、

第 2 の下端部とこの第 2 の下端部よりも突出する第 2 の上端部とを有し、前記第 2 の上端部は前記第 1 の上端部と第 1 の間隔を有して向かい合い、前記第 2 の下端部は前記第 1 の下端部と前記第 1 の間隔よりも大きな第 2 の間隔を有して向かい合う第 2 の配線層とを具備することを特徴とする半導体装置。

**【請求項 2】**

前記第 1 及び第 2 の配線層下に前記第 1 及び第 2 の配線層を跨いで形成された半導体基板と、

前記第 1 及び第 2 の配線層間の前記半導体基板の上面、前記第 1 の配線層の上面及び前記第 1 の配線層の前記第 2 の配線層に対向する側面に形成され、前記第 1 の配線層と前記半導体基板とを電氣的に接続するシリサイド膜と

をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜を異方性エッチングで選択的に除去し、前記第 1 の絶縁膜からなる第 1 のダミーブロックを所定領域に形成する工程と、

前記第 1 のダミーブロックを等方性エッチングでスリミングする工程と、

前記第 1 のダミーブロックを覆うように導電膜を形成する工程と、

前記第 1 のダミーブロックの上面が露出するまで前記導電膜を除去する工程と、

前記導電膜をパターニングし、前記第 1 のダミーブロックで分断された前記導電膜からなる第 1 及び第 2 の配線層を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

**【請求項 4】**

前記第 1 のダミーブロック及び前記第 1 及び第 2 の配線層の側面にサイドウォール絶縁膜を形成する工程と、

前記第 1 のダミーブロックを除去し、前記第 1 及び第 2 の配線層間の素子領域の上面を露出する工程と、

前記素子領域の前記上面、前記第 1 及び第 2 の配線層の上面、及び前記第 1 及び第 2 の配線層間の対向する側面にシリサイド膜を形成する工程と

をさらに具備することを特徴とする請求項 3 に記載の半導体装置の製造方法。

**【請求項 5】**

前記導電膜をパターニングする前に、

前記導電膜上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜をパターニングする工程と、

パターニングされた前記第 2 の絶縁膜の側面にサイドウォール絶縁膜を形成する工程と

、  
前記第 2 の絶縁膜を除去する工程と

をさらに具備し、

前記サイドウォール絶縁膜をマスクとして前記導電膜をパターニングすることを特徴とする請求項 3 に記載の半導体装置の製造方法。

**【請求項 6】**

前記第 1 のダミーブロックを形成する際に、前記第 1 の絶縁膜からなる第 2 のダミーブロックを前記サイドウォール絶縁膜の端部下に形成し、前記第 2 のダミーブロックで前記導電膜を分断することを特徴とする請求項 5 に記載の半導体装置の製造方法。

## 【書類名】 明細書

## 【発明の名称】 半導体装置及びその製造方法

## 【技術分野】

## 【0001】

本発明は、微細なメモリセルを実現するための高集積回路を備えた半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

従来、点対称型のSRAM (Static Random Access Memory) において、セルサイズを縮小する上で最も大きな問題となっているのは、ゲート電極-ゲート電極間の突き当て部のスペースと、レイアウト上でのゲート電極と素子領域とのオーバーラップの長さを縮小することが困難であることである。尚、ここでは、ゲート電極-ゲート電極間の突き当て部とは、2つのゲート電極の延在方向（ゲート長の方向に対して垂直な方向）における端部間周辺の領域を示している。

## 【0003】

図38に示すように、点対称型のSRAMには、2種類のゲート電極-ゲート電極間の突き当て部が存在する。1つは、隣り合うセルにあって、向かい合うドライバ・トランジスタ同士のゲート電極-ゲート電極間の突き当て部Aであり、もう1つは、ロード・トランジスタのクロスカップル部とトランスファ・トランジスタとのゲート電極-ゲート電極間の突き当て部Bである。

## 【0004】

点対称型のSRAMにおける1つのメモリセル50の中には、ゲート電極-ゲート電極間の突き当て部Aがセル50の右端と左端で計1箇所、突き当て部Bがセル50中に2箇所あり、突き当て部A、Bは合計3箇所ある。

## 【0005】

ところが、従来技術において、このゲート電極-ゲート電極間の突き当て部A、Bを形成すると、この突き当て部A、Bのスペースをある長さよりも短くすることができないため、セルサイズを縮小する上で問題となっていた。

## 【0006】

従来の方法による転写では、マスク上への加工可能な最小寸法や狭スペースのレジストに対する解像限界、RIE (Reactive Ion Etching) による加工可能な狭スペースの限界があることより、突き当て部A、Bのスペースの最小長さは、これらの限界値によって決まってしまう。

## 【0007】

さらに、現在使用されているデザインルール0.4  $\mu\text{m}$ 以下の微細プロセスにおいては、リソグラフィ時の光近接効果が顕著に表れるため、レジスト端部のショートニングとラウンディングの影響があることと露光時の合わせずれがあることを考慮して、レイアウト上、ゲート電極と素子形成領域とをある長さ以上オーバーラップさせる必要がある。つまり、突き当て部A、Bのスペースとオーバーラップ長さとをともに短くすることができないため、素子分離領域を狭めることができず、その結果、セルサイズを縮小することが非常に難しい。

## 【0008】

また、狭スペース部の形成に有利と言われている超解像技術の1つであるレベンソンマスクを使った転写では、点対称SRAMの場合、レベンソン露光後のトリム露光でゲート電極-ゲート電極間の突き当て部のスペースを露光するが、突き当て部のスペースの寸法はトリム露光時のリソグラフィの限界で決まってしまう（非特許文献1参照）。また、レベンソンマスクは、シフトの貼り付け等の作成が非常に難しいため、TATやコストの面で問題を抱えている。

【非特許文献1】 M.Kanda et al., VLSI Symp., 2003 submitted Highly Stable 65nm Node (CMOS5) 0.56 $\mu\text{m}^2$  SRAM Cell Design for Very Low Operation Voltage

**【発明の開示】****【発明が解決しようとする課題】****【0009】**

本発明は上記課題を解決するためになされたものであり、その目的とするところは、パターン間のスペースを縮小することが可能な半導体装置及びその製造方法を提供することにある。

**【課題を解決するための手段】****【0010】**

本発明は、前記目的を達成するために以下に示す手段を用いている。

**【0011】**

本発明の第1の視点による半導体装置は、第1の下端部とこの第1の下端部よりも突出する第1の上端部とを有する第1の配線層と、第2の下端部とこの第2の下端部よりも突出する第2の上端部とを有し、前記第2の上端部は前記第1の上端部と第1の間隔を有して向かい合い、前記第2の下端部は前記第1の下端部と前記第1の間隔よりも大きな第2の間隔を有して向かい合う第2の配線層とを具備する。

**【0012】**

本発明の第2の視点による半導体装置の製造方法は、第1の絶縁膜を形成する工程と、前記第1の絶縁膜を異方性エッチングで選択的に除去し、前記第1の絶縁膜からなる第1のダミーブロックを所定領域に形成する工程と、前記第1のダミーブロックを等方性エッチングでスリミングする工程と、前記第1のダミーブロックを覆うように導電膜を形成する工程と、前記第1のダミーブロックの上面が露出するまで前記導電膜を除去する工程と、前記導電膜をパターンニングし、前記第1のダミーブロックで分断された前記導電膜からなる第1及び第2の配線層を形成する工程とを具備する。

**【発明の効果】****【0013】**

以上説明したように本発明によれば、パターン間のスペースを縮小することが可能な半導体装置及びその製造方法を提供できる。

**【発明を実施するための最良の形態】****【0014】**

本発明の実施形態は、高集積された論理回路やSRAM (Static Random Access Memory) などのメモリセルサイズをさらに縮小することを目的に、狭スペースを形成したい箇所にダミーブロックを配置し、そのダミーブロックによりラインを分割するものである。本発明の各実施形態では、上記のような構造を点対称型のSRAMに適用した例を取り上げるが、勿論これ限定されず、上記のような構造はパターン間のスペースの縮小を図りたい箇所に種々適用することが可能である。

**【0015】**

以下に、本発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

**【0016】****[第1の実施形態]**

第1の実施形態は、点対称型のSRAMにおいて、隣り合うセルにあるドライバ・トランジスタ同士のゲート電極-ゲート電極間の突き当て部のスペースを縮小する例である。

**【0017】**

図1及び図2は、本発明の第1の実施形態に係る半導体装置の平面図及び断面図を示す。図1及び図2に示すように、第1のゲート電極14aは、延在方向（ゲート長の方向に対して垂直な方向）の端部に、下端部17bとこの下端部17bよりも突出する上端部17aとを有している。同様に、第2のゲート電極14bは、延在方向（ゲート長の方向に対して垂直な方向）の端部に、下端部18bとこの下端部18bよりも突出する上端部18aとを有している。

**【0018】**

ここで、第1のゲート電極14aの上端部17aと第2のゲート電極14bの上端部18aとは、第1の間隔Xを有して向かい合い、第1のゲート電極14aの下端部17bと第2のゲート電極14bの下端部18bとは、第2の間隔Yを有して向かい合う。そして、第2の間隔Yは、第1の間隔Xよりも大きくなっている。

#### 【0019】

また、ゲート電極14a、14bの延在方向の端部が上面にいくに従って徐々に近づくように、下端部17b、18bから上端部17a、18aにかけて斜面になっている。

#### 【0020】

ここで、従来技術の場合、ゲート電極14a、14b間のスペースを形成すると、露光時におけるレジストのショートニングとラウンディングのために、ゲート電極14a、14bの上端部17a、18aは緩やかな曲線をもつ形状となる。しかし、第1の実施形態の場合、後述するように、ゲート電極14a、14b間のスペースをレジストではなくダミーブロックによってスペースを形成するので、このスペースはダミーブロックの形状をもつため、ゲート電極14a、14bの上端部17a、18aはスリミング加工されたダミーブロックの形状を反映し、角張った形状になっている。

#### 【0021】

図3乃至図14は、本発明の第1の実施形態に係る半導体装置の製造工程の平面図及び断面図を示す。以下に、第1の実施形態に係る半導体装置の製造方法について説明する。

#### 【0022】

まず、図3及び図4に示すように、従来の集積MOSトランジスタの作成と同様に、半導体基板内に素子領域11と絶縁膜からなる素子分離領域12とが形成される。次に、ダミーブロックを形成するためのダミーブロック用絶縁膜13が堆積される。このダミーブロック用絶縁膜13は、ゲート電極材（例えばポリシリコン膜）及び素子分離領域12の絶縁膜（例えばPlasma Enhanced CVD SiO<sub>2</sub>膜やTEOS（Tetra Ethyl Ortho Silicate）膜）とエッチングの選択比がとれるものであることが求められ、例えばBSG（Boron Silicate Glass）膜やBPSG（Boron Phosphorous Silicate Glass）膜からなる。

#### 【0023】

次に、図5及び図6に示すように、例えばRIE（Reactive Ion Etching）のような異方性エッチングでダミーブロック用絶縁膜13がパターンニングされ、端部が垂直に切れたダミーブロック13aが形成される。このダミーブロック13aは、狭スペースにしたい箇所であるゲート電極—ゲート電極間の突き当て部にのみ形成されるようにする。

#### 【0024】

次に、図7及び図8に示すように、例えばCDE（Chemical Dry Etching）やウエットエッチングのような等方性エッチングでダミーブロック13aがスリミング加工される。その結果、リソグラフィの解像限界を越えた細い寸法をもつダミーブロック13bが形成される。ここで、ダミーブロック13bは、上面が底面より小さい台形型の形状となる。

#### 【0025】

次に、ゲート絶縁膜（図示せず）を形成するが、このゲート絶縁膜の形成は、ダミーブロック用絶縁膜13を堆積する前でも構わない。

#### 【0026】

次に、図9及び図10に示すように、ダミーブロック13bを覆うように例えばポリシリコン膜からなるゲート電極材14が堆積され、その後、ダミーブロック13bの上面が露出するまでゲート電極材14が全面エッチバックで除去される。

#### 【0027】

次に、図11及び図12に示すように、リソグラフィによりパターンニングされたレジスト15を形成する。このレジスト15は、ダミーブロック13bを跨ぐ一本のラインとなっている。

#### 【0028】

次に、図13及び図14に示すように、パターンニングされたレジスト15をマスクとして、ゲート電極材14がRIEでパターンニングされる。これにより、ダミーブロック13

bによって分離されたゲート電極14a, 14bが形成される。

#### 【0029】

次に、図1及び図2に示すように、ダミーブロック13bが除去された後、層間絶縁膜16が形成され、ゲート電極14a, 14b間のスペースが埋め込まれる。

#### 【0030】

上記第1の実施形態によれば、まず、狭スペースを形成したい箇所にダミーブロック13aを配置し、このダミーブロック13aをスリミング加工して細いダミーブロック13bを形成し、その後、ゲート電極材14を堆積してパターンニングする。これにより、ダミーブロック13bでゲート電極材14を分割することが可能となる。そして、この場合、ダミーブロック13bの寸法がゲート電極14a, 14b間のスペースの幅を定めているため、ダミーブロック13aをスリミング加工することで、リソグラフィの解像限界を超えた狭スペースで離間したゲート電極14a, 14bを形成することができる。さらに、レジストのショートニングとラウンディングの影響を考慮する必要が無いので、レイアウト上不可欠であったゲート電極と素子領域とのオーバーラップ長さを縮小することができる。その結果、ゲート電極-ゲート電極間の突き当て部のスペースとゲート電極と素子領域とのレイアウト上のオーバーラップ長さによってトランジスタの集積が制限されている場合のLSIにおいて、第1の実施形態を用いることで、より集積度の高い回路を形成することが可能となる。

#### 【0031】

特に、点対称型のSRAMにおいては、図15に示すように、1つのセル50内に狭スペースとなるゲート電極-ゲート電極間の突き当て部A、Bを含む素子分離領域が3箇所もあるため、ここにダミーブロック13bを配置すれば、素子分離領域を縮小することによるメモリセルサイズの縮小へ与える影響は非常に大きいといえる。

#### 【0032】

具体的には、従来、隣り合うゲート電極間の距離は、45nm世代では80nmであったのに対し、第1の実施形態では、隣り合うゲート電極14a, 14bの上端部17a, 18a間の距離Xは15~20nmにまで縮小することができる。

#### 【0033】

また、このダミーブロック13bを用いることで、レジスト15からなるマスクは、図11に示すように、ゲート電極間のスペースを考慮することなく、連続するラインとして描くことができる。これにより、狭スペース部を転写する上でのOPE (Optical Proximity Effect) やPPE (Process Proximity Effect) を考慮する必要が無いので、MDP (Mask Development Process) が簡便になるだけでなく、EB (Electron Beam) 描画によるマスク作成も非常に容易となる。さらには、ウエハ上にパターンを転写する時に、ゲート電極-ゲート電極間の突き当て部のスペースがないことから露光マージンの向上にもつながる。

#### 【0034】

##### [第2の実施形態]

第2の実施形態は、点対称型のSRAMにおいて、ロード・トランジスタとトランスファ・トランジスタとのゲート電極-ゲート電極間の突き当て部のスペースを縮小する例である。

#### 【0035】

図16及び図17は、本発明の第2の実施形態に係る半導体装置の平面図及び断面図を示す。図16及び図17に示すように、第1の実施形態と同様の構造で、ゲート電極材をダミーブロックで分断することにより、第1のゲート電極14aと第2のゲート電極14bとが狭スペースを設けて配置されている。そして、第1及び第2のゲート電極14a, 14bの上面、第1及び第2のゲート電極14a, 14bの互いに対向する側面、第1及び第2のゲート電極14a, 14b間の素子領域11の上面に、シリサイド膜22が形成されている。これにより、第1のゲート電極14aと素子領域11とは、コンタクト孔を用いることなく、シリサイド膜22によって電氣的に接続されている。



## 【0036】

また、サイドウォール絶縁膜 21 は、ダミーブロック及びゲート電極 14a, 14b の側面に形成される。このため、サイドウォール絶縁膜 21 は、ゲート電極の側面だけでなく、隣接するゲート電極の側面間を跨いで連続的に形成されている。例えば図 16 の場合、サイドウォール絶縁膜 21 は、4 つのゲート電極の側面に沿って、隣り合うゲート電極間を跨いで連続的に形成されているため、4 つのゲート電極を囲うように一周する。

## 【0037】

図 18 乃至図 25 は、本発明の第 2 の実施形態に係る半導体装置の製造工程の平面図及び断面図を示す。以下に、第 2 の実施形態に係る半導体装置の製造方法について説明する。

## 【0038】

まず、図 18 及び図 19 に示すように、第 1 の実施形態と同様の手法で、ダミーブロック 13b で分断されたゲート電極 14a, 14b が形成される。その後、ダミーブロック 13b を取り除くことなく、As や B などのイオンを打ち込むことで素子領域 11 内にエクステンション領域（図示せず）が形成される。

## 【0039】

次に、図 20 及び図 21 に示すように、ゲート電極 14a, 14b 及びダミーブロック 13b の側面に、サイドウォール絶縁膜（例えばシリコン窒化膜）21 が形成される。尚、第 2 の実施形態では、ダミーブロック 13b を構成する絶縁膜は、ゲート電極材及び素子分離領域 12 の絶縁膜とエッチングの選択比がとれるものであるだけでなく、サイドウォール絶縁膜 21 を構成する最外周の膜ともエッチングの選択比がとれるものである必要がある。

## 【0040】

次に、図 22 及び図 23 に示すように、HF (hydrogen fluoride) 蒸気などのエッチングにより、ダミーブロック 13b のみを選択的に取り除く。これにより、ゲート電極 14a, 14b 間の素子領域 11 の上面とゲート電極 14a, 14b の端部の側面とが露出される。その後、As や B などのイオンを打ち込むことで素子領域 11 内にソース／ドレイン拡散領域 23 が形成される。

## 【0041】

次に、図 16 及び図 17 に示すように、サリサイド (self-aligned silicide) プロセスにより、半導体基板のシリコンと高融点金属（例えば W, Mo, Ta, Ti, Co, Ni, Pt 等）とを反応させて、ゲート電極 14a, 14b の上面、ゲート電極 14a, 14b 間側の側面、ゲート電極 14a, 14b 間の素子領域 11 上に、シリサイド膜 22 が形成される。その結果、シリサイド膜 22 により、ゲート電極 14a が素子領域（半導体基板）11 と電気的に接続される。

## 【0042】

上記第 2 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができだけでなく、次のような効果も得ることができる。

## 【0043】

従来、点対称型の SRAM では、図 24 に示すように、ゲート電極 14a とシリコン基板（素子領域 11）とを電気的に接続するためには、ゲート電極 14a とシリコン基板とを跨ぐ大きな共通コンタクト（SC: Shared Contact）51 の技術を採用していた（特開平 11-150268 号公報参照）。この共通コンタクト 51 の穴は、他のシリコン基板上やゲート電極上へのコンタクト 52 の穴と同時に開口していた。しかし、セルサイズの縮小に伴い、ゲート電極 14a とシリコン基板を跨ぐ大きな共通コンタクト 51（例えば、45nm 世代の点対称型 SRAM の SC サイズは、147.5nm × 65nm）と他の小さいコンタクト 52（例えば、45nm 世代の点対称型 SRAM の SC サイズは、65nm × 65nm）とを同時に開口するための十分な露光マージンが得られなくなってきた。このため、共通コンタクト 51 と他のコンタクト 52 を別々に転写する必要が出てきている。

## 【0044】

これに対し、第2の実施形態では、サイドウォール絶縁膜21をリソグラフィとRIEなどのエッチングを用いて取り除くことなく、選択的にダミーブロック13bのみを除去することで、図25に示すように、素子領域11上にゲート電極14aの端部を直接露出することができる。このため、サリサイドプロセスを採用することで、ゲート電極14aと素子領域11とを電氣的に接続できるといった効果がある。従って、シリサイド膜22でゲート電極14aと素子領域11とを電氣的に接続できるため、ゲート電極14aと素子領域11とを跨ぐ大きな共通コンタクトが必要にならない。これにより、点対称型のSRAMのセルサイズを縮小する上で問題の1つとなっていたゲート電極とシリコン基板を跨ぐ大きな共通コンタクト51が不要になり、コンタクト孔をリソグラフィする時の露光マージンの向上だけでなく、そのマージンを確保できない場合のコンタクト51、52の別露光が必要でないため、コストの増大も抑制できる。

## 【0045】

## [第3の実施形態]

第3の実施形態では、サイドウォール・イメージ・トランスファの技術を利用した構造において、ダミーブロックを適用した例である。

## 【0046】

上記第1及び第2の実施形態で示したように、ゲート電極-ゲート電極間をダミーブロックで分離する方法を用いると、狭スペースを挟んで存在するゲート電極-ゲート電極間をマスク上で分離する必要が無く、マスク上では一本のラインとして描ける。一方、サイドウォール・イメージ・トランスファの技術を使って例えばゲート電極を形成する場合、ダミーブロック（注：このダミーブロックは、サイドウォール・イメージ・トランスファ技術を用いるときのものであり、本発明の実施形態におけるダミーブロックとは異なるものである。）の外周に形成された側壁部がゲート電極に転写されるために、ゲート電極は「口」の字のように途切れることのない一本のラインとしてパターンニングされる。

## 【0047】

上記第1及び第2の実施形態によるダミーブロックの技術とサイドウォール・イメージ・トランスファの技術とを組み合わせると、例えば次のようになる。

## 【0048】

まず、図26及び図27に示すように、上記実施形態と同様の手法で、所定の領域にダミーブロック13bが形成される。そして、ダミーブロック13bを覆うようにゲート電極材（例えばポリシリコン膜）14が形成され、このゲート電極材14がダミーブロック13bの上面が露出するまで平坦化除去される。次に、ダミーブロック13b及びゲート電極材14上にサイドウォール形成用絶縁膜（例えば酸化膜）31が堆積され、この絶縁膜31にリソグラフィでパターンが転写される。次に、サイドウォール絶縁膜（例えばシリコン窒化膜）21が堆積され、RIEにより絶縁膜31の側面にサイドウォール絶縁膜21が残される。

## 【0049】

次に、図28及び図29に示すように、 $\text{NH}_4\text{F}$ 等の等方性エッチングにより、絶縁膜31が除去される。このとき、等方性エッチングに用いられる薬液は、絶縁膜31とその側面にあるサイドウォール絶縁膜21、ゲート電極材14とで選択比が取れるものであり、また、絶縁膜31とダミーブロック13bとも選択比がとれるものであることが望ましい。

## 【0050】

次に、図30及び図31に示すように、残ったサイドウォール絶縁膜21をマスクとして、ゲート電極材14にパターンが転写される。これにより、第1及び第2の実施形態で示したのと同様にダミーブロック13bでゲート電極材14が分離された構造となる。

## 【0051】

しかしながら、上記図26乃至図31に示すプロセスでは、サイドウォール絶縁膜21はサイドウォール形成用絶縁膜31の外周4辺全てに形成されてしまう。このため、図3

0に示すように、分離すべきゲート電極材14が領域Aの部分でつながってしまう。従って、図28に示す領域Aの不必要なサイドウォール絶縁膜21を取り除く必要があるため、この領域Aのサイドウォール絶縁膜21を除去するためのリソグラフィとRIEの工程の追加が必要になる。

#### 【0052】

そこで、このような場合には、領域Aにもダミーブロックをさらに追加するとよい。具体的には、以下のような製造方法となる。

#### 【0053】

まず、図32及び図33に示すように、上記実施形態と同様の手法で、ダミーブロック13bが形成されるとともに、ゲート電極を形成しない領域Aにもダミーブロック41が形成される。そして、ダミーブロック13b、41を覆うようにゲート電極材（例えばポリシリコン膜）14が形成され、このゲート電極材14がダミーブロック13b、41の上面が露出するまで平坦化除去される。次に、ダミーブロック13b、41及びゲート電極材14上にサイドウォール形成用絶縁膜（例えば酸化膜）31が堆積され、この絶縁膜31にリソグラフィでパターンが転写される。次に、サイドウォール絶縁膜（例えばシリコン窒化膜）21が堆積された後、RIEにより絶縁膜31の側面にのみサイドウォール絶縁膜21が残される。

#### 【0054】

次に、図34及び図35に示すように、 $\text{NH}_4\text{F}$ 等の等方性エッチングにより、絶縁膜31が除去される。

#### 【0055】

次に、図36及び図37に示すように、残ったサイドウォール絶縁膜21をマスクとして、ゲート電極材14にパターンが転写される。これにより、ダミーブロック13bでゲート電極材14が分離されるだけでなく、ダミーブロック41で領域A（サイドウォール絶縁膜21の囲いの端部）のゲート電極材14が分離された構造が実現する。

#### 【0056】

上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができるだけでなく、次のような効果も得ることができる。

#### 【0057】

サイドウォール・イメージ・トランスファの技術を使った場合も、ゲート電極を形成しないサイドウォール絶縁膜21の下（領域A）にダミーブロック41を形成することで、この部分にゲート電極が形成されなくなる。このため、不必要な部分のサイドウォール絶縁膜21を、リソグラフィとRIEなどのエッチングを用いて除去することなく、所望のパターンに形成することができるので、工程を減少することができる。しかも、不要な部分のサイドウォール絶縁膜21を除去する工程は、サイドウォール絶縁膜21の高さに相当する段差があるなかでのリソグラフィが必要となるので、この工程が省ける効果は非常に大きい。

#### 【0058】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

#### 【図面の簡単な説明】

#### 【0059】

【図1】 本発明の第1の実施形態に係わる半導体装置を示す平面図。

【図2】 図1のII-II線に沿った半導体装置の断面図。

【図3】 本発明の第1の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 4】図 3 の IV-IV 線に沿った半導体装置の断面図。

【図 5】図 3 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 6】図 5 の VI-VI 線に沿った半導体装置の断面図。

【図 7】図 5 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 8】図 7 の VIII-VIII 線に沿った半導体装置の断面図。

【図 9】図 7 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 10】図 9 の X-X 線に沿った半導体装置の断面図。

【図 11】図 9 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 12】図 11 の XII-XII 線に沿った半導体装置の断面図。

【図 13】図 11 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 14】図 13 の XIV-XIV 線に沿った半導体装置の断面図。

【図 15】本発明の第 1 の実施形態に係わる半導体装置を示す平面図。

【図 16】本発明の第 2 の実施形態に係わる半導体装置を示す平面図。

【図 17】図 16 の XVII-XVII 線に沿った半導体装置の断面図。

【図 18】本発明の第 2 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 19】図 18 の XIX-XIX 線に沿った半導体装置の断面図。

【図 20】図 18 に続く、本発明の第 2 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 21】図 20 の XXI-XXI 線に沿った半導体装置の断面図。

【図 22】図 20 に続く、本発明の第 2 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 23】図 22 の XXIII-XXIII 線に沿った半導体装置の断面図。

【図 24】従来技術による半導体装置の平面図。

【図 25】本発明の第 2 の実施形態に係わる半導体装置を示す平面図。

【図 26】本発明の第 3 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 27】図 26 の XXVII-XXVII 線に沿った半導体装置の断面図。

【図 28】図 26 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 29】図 28 の XXIX-XXIX 線に沿った半導体装置の断面図。

【図 30】図 28 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 31】図 30 の XXXI-XXXI 線に沿った半導体装置の断面図。

【図 32】本発明の第 3 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 33】図 32 の XXXIII-XXXIII 線に沿った半導体装置の断面図。

【図 34】図 32 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 35】図 34 の XXXV-XXXV 線に沿った半導体装置の断面図。

【図 36】図 34 に続く、本発明の第 3 の実施形態に係わる半導体装置の製造工程を示す平面図。

【図 37】図 36 の XXXVI-XXXVI 線に沿った半導体装置の断面図。

【図 38】従来技術による半導体装置の平面図。

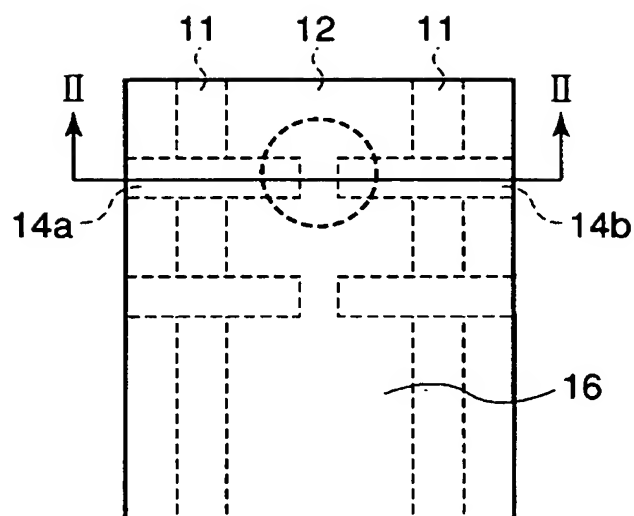
【符号の説明】

【0060】

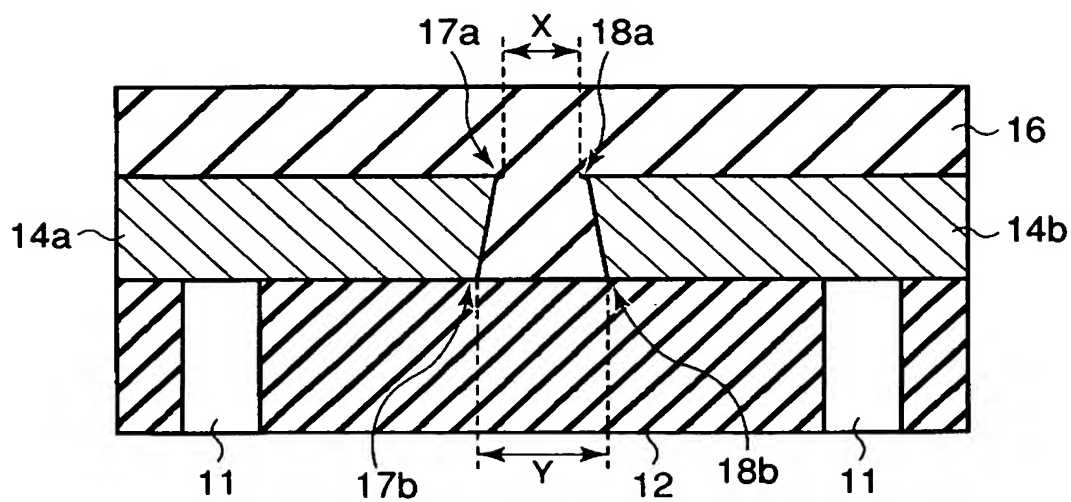
11…素子領域、12…素子分離領域、13…ダミーブロック用絶縁膜、13a, 13b, 41…ダミーブロック、14…ゲート電極材、14a, 14b…ゲート電極、15…

レジスト、1 6 …層間絶縁膜、1 7 a, 1 8 a …ゲート電極の上端部、1 7 b, 1 8 b …ゲート電極の下端部、2 1 …サイドウォール絶縁膜、2 2 …シリサイド膜、2 3 …ソース／ドレイン拡散領域、3 1 …サイドウォール形成用絶縁膜、5 0 …セル、5 1, 5 2 …コンタクト。

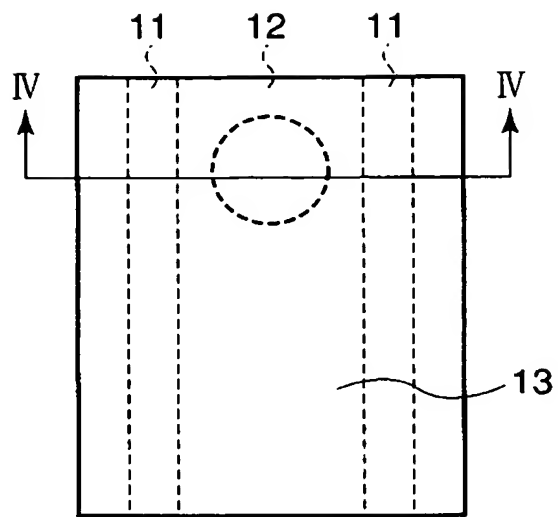
【書類名】 図面  
【図 1】



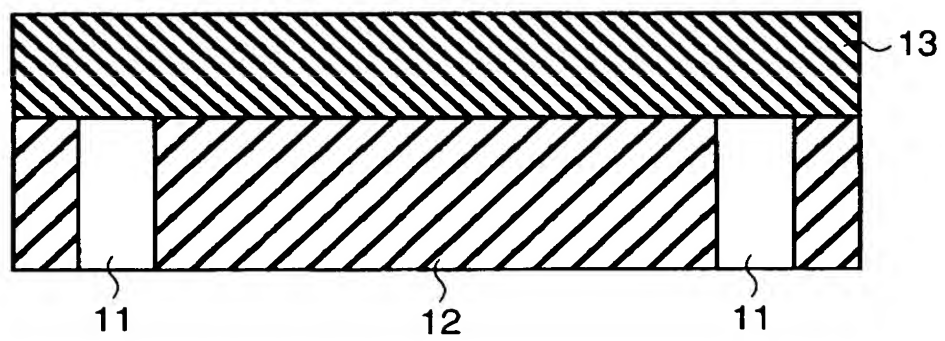
【図 2】



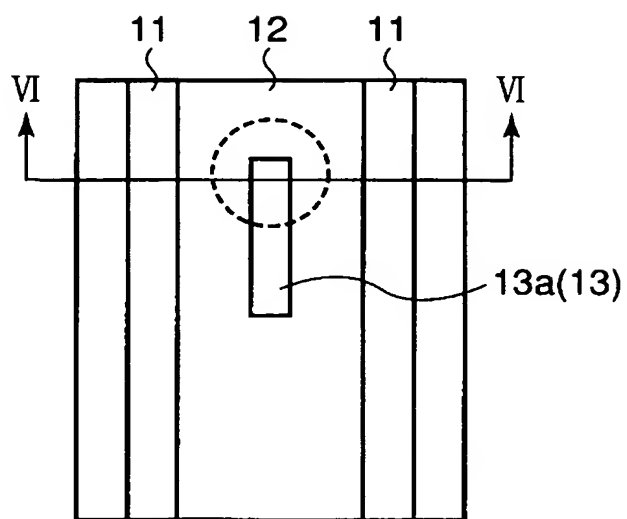
【図 3】



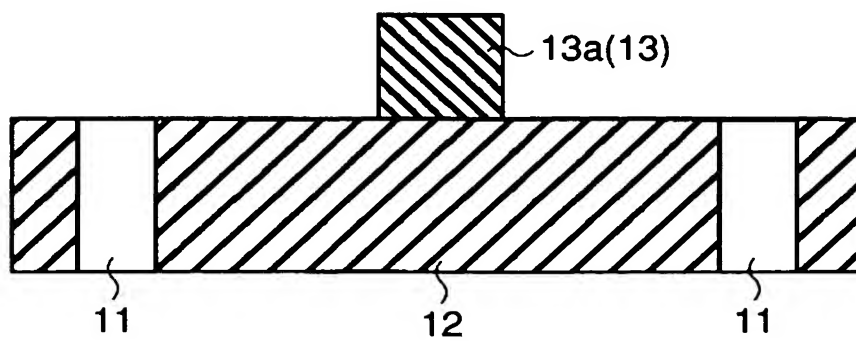
【図 4】



【図 5】

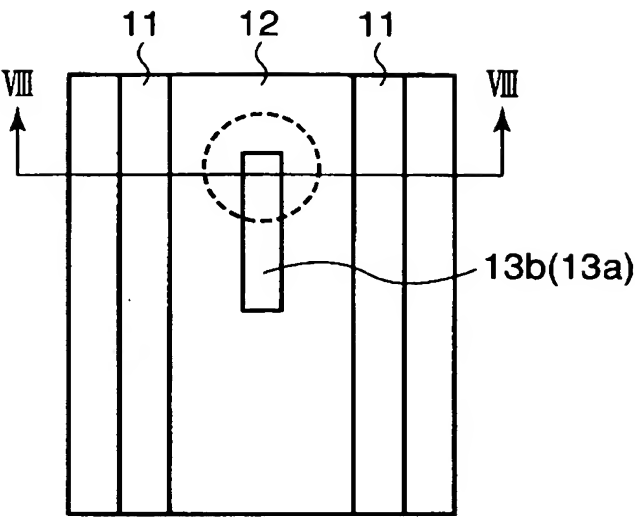


【図 6】

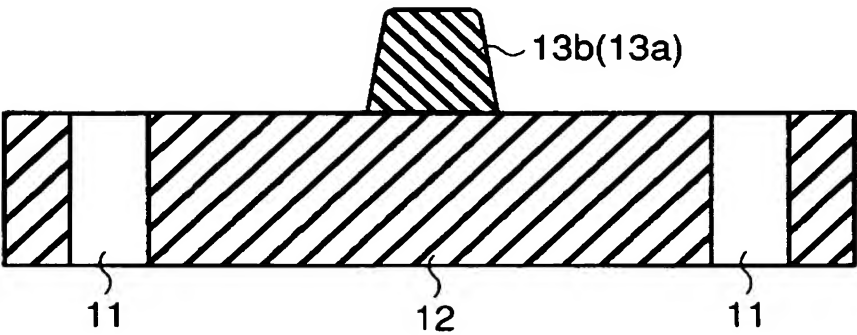




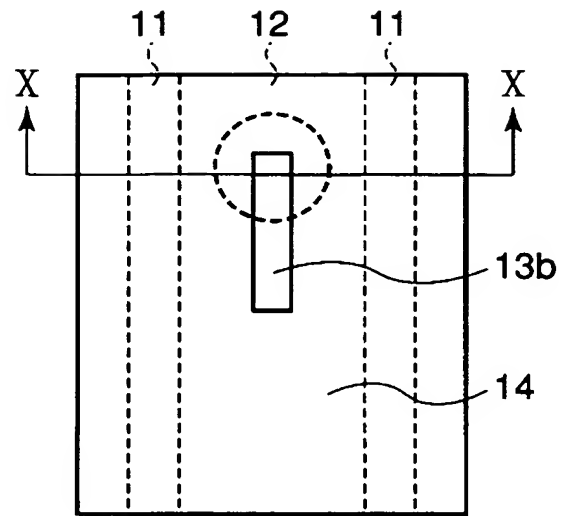
【図 7】



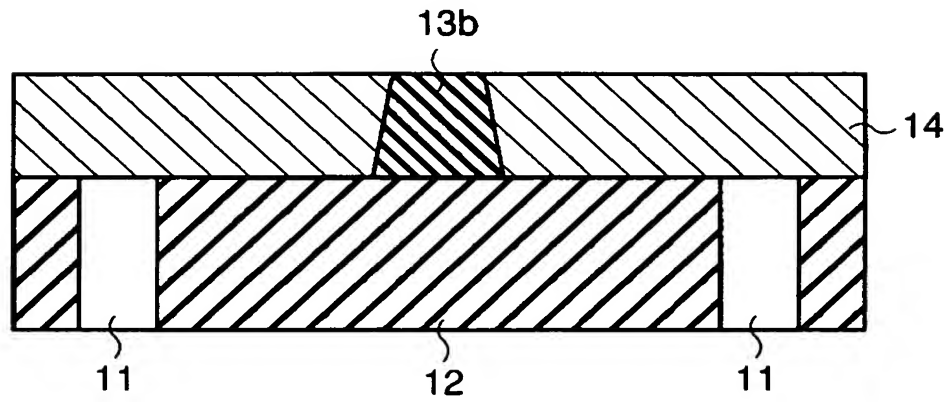
【図 8】



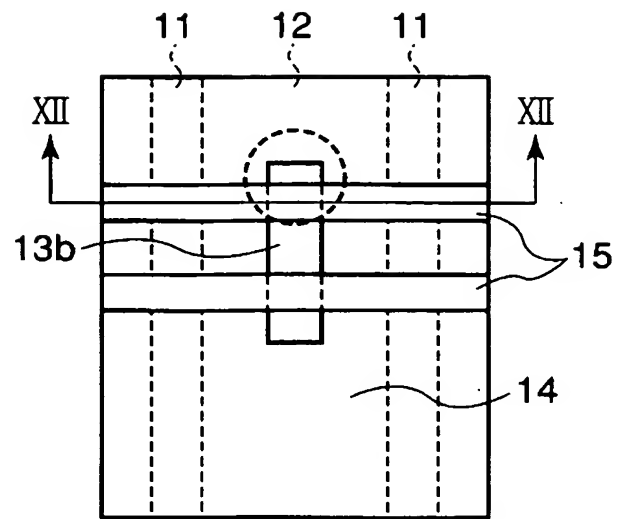
【図 9】



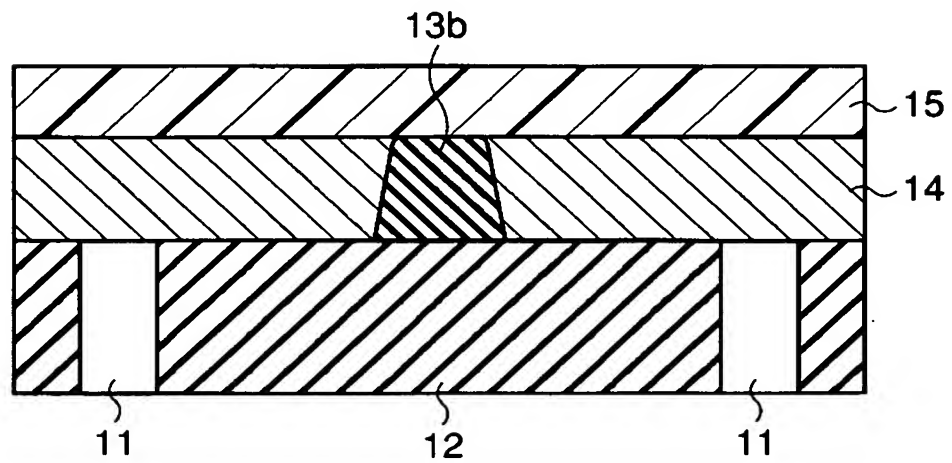
【図 10】



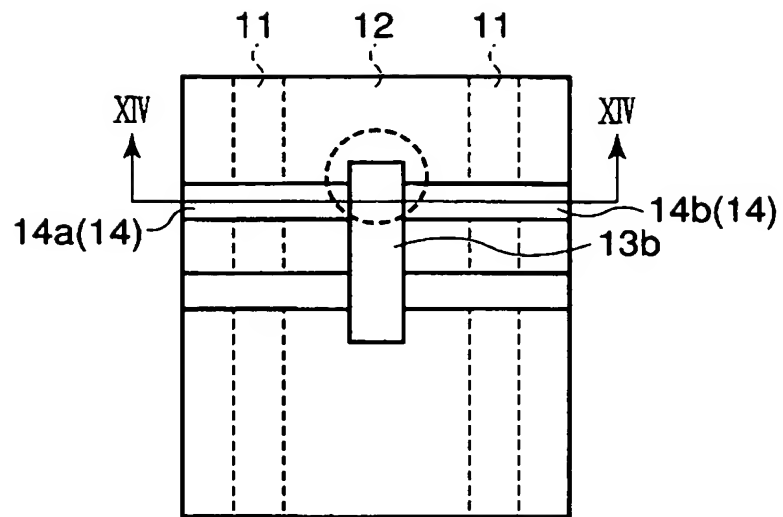
【図 11】



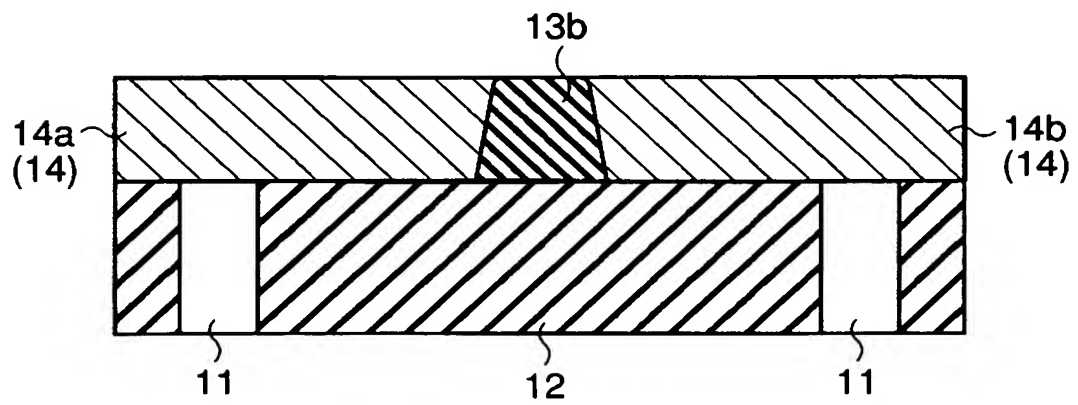
【図 12】



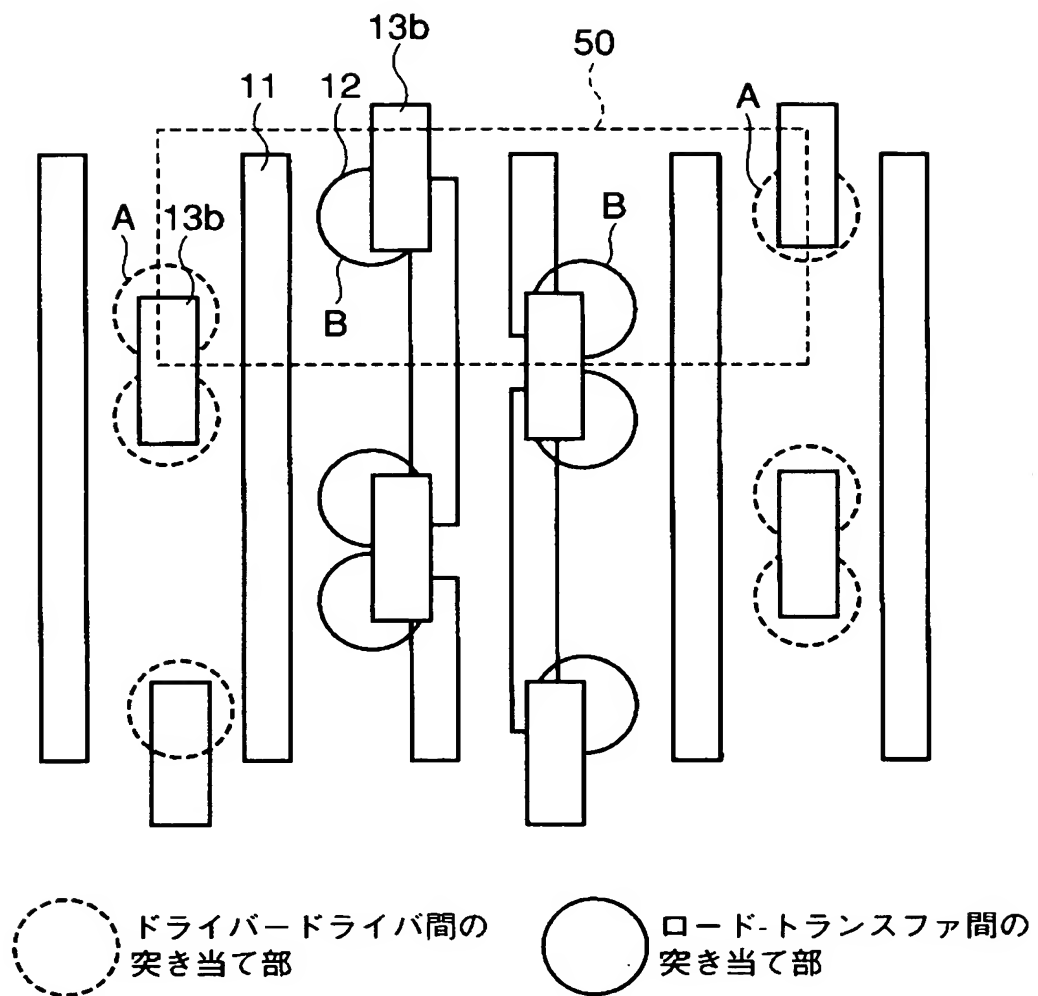
【図 13】



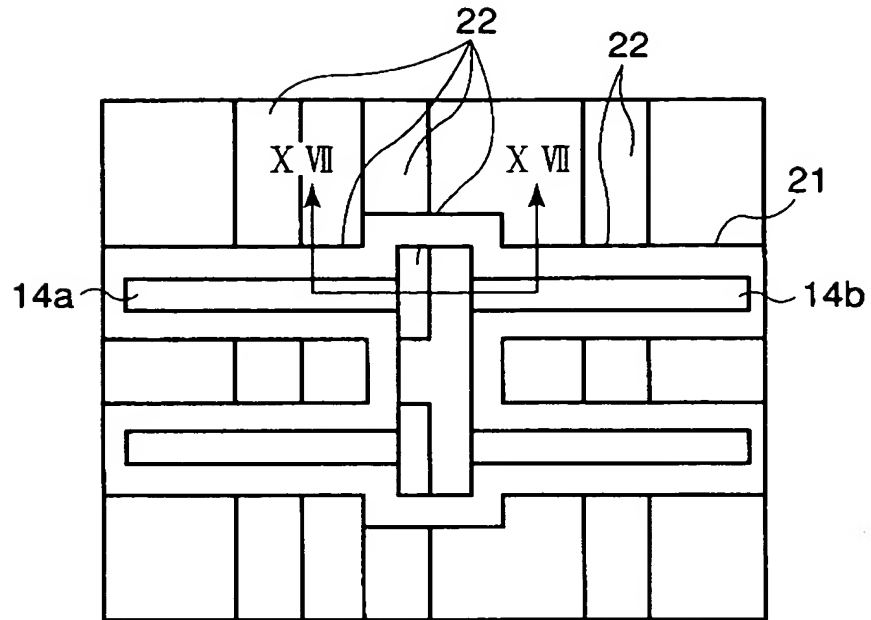
【図 14】



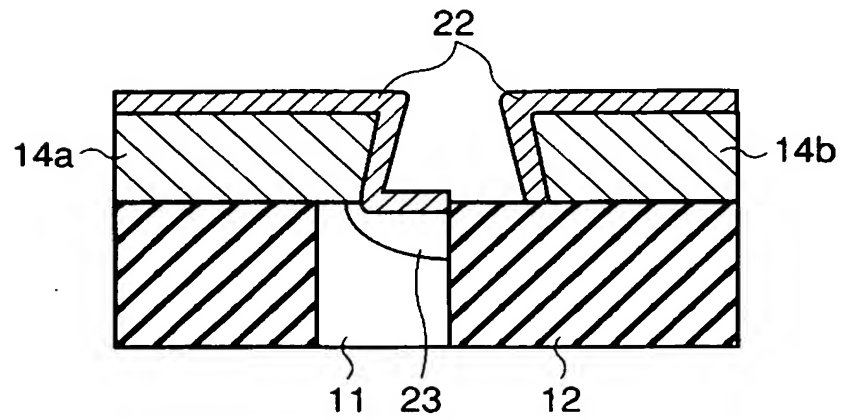
【図 15】



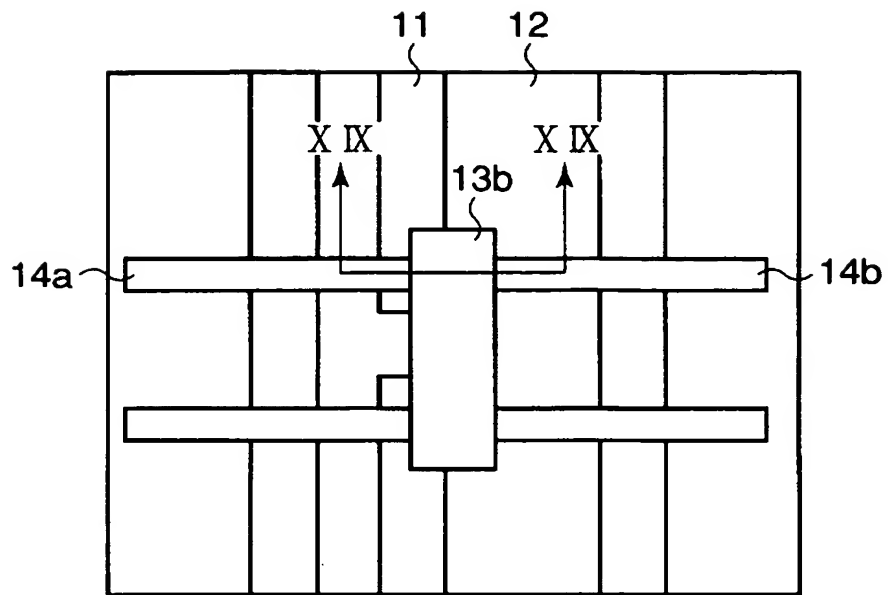
【図 16】



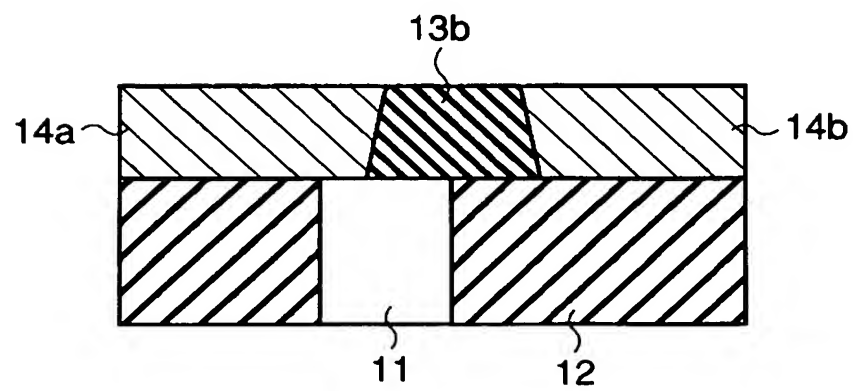
【図 17】



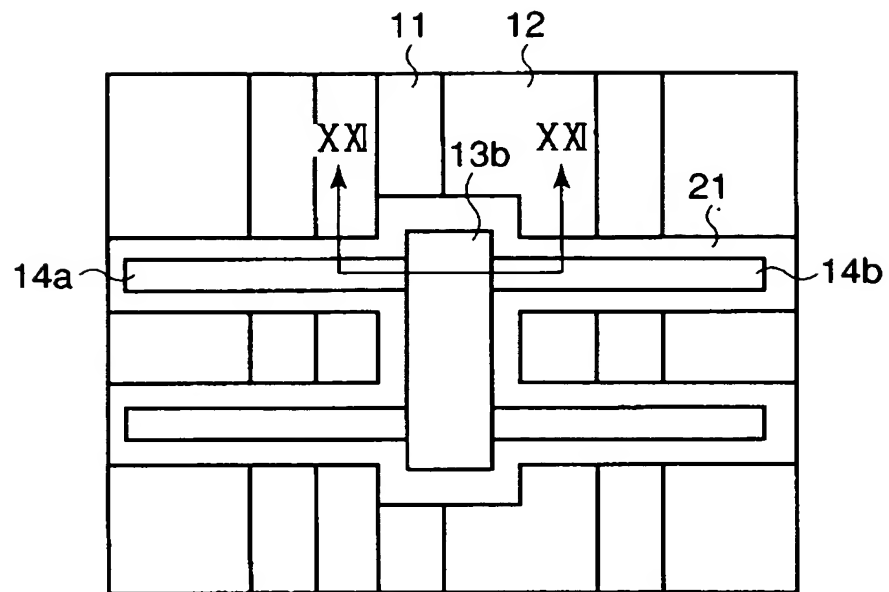
【図 18】



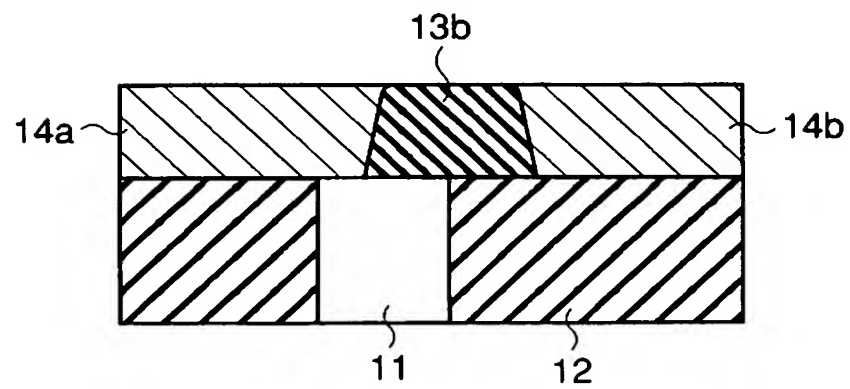
【図 19】



【図 20】

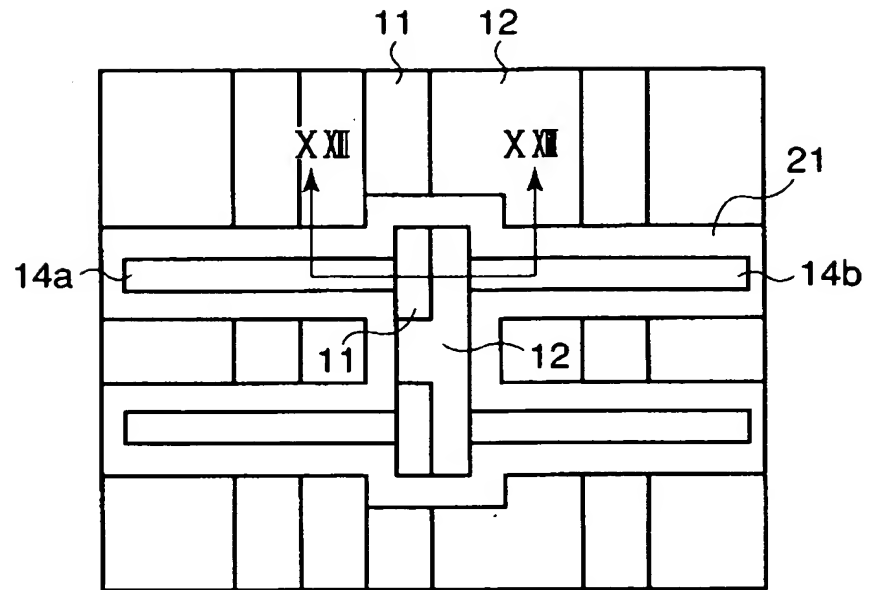


【図 21】

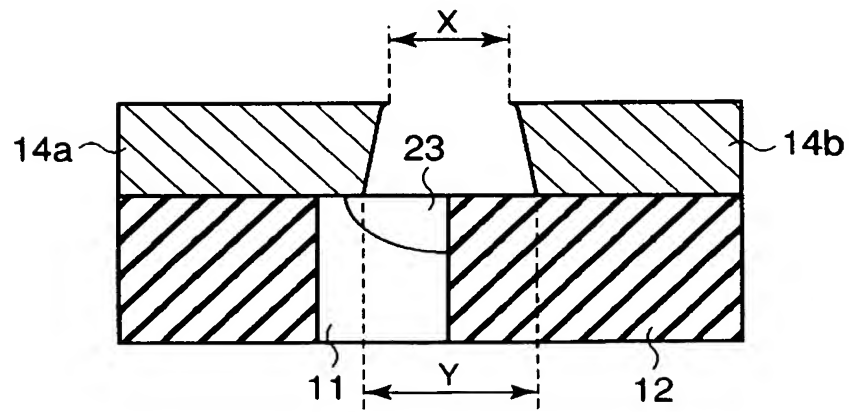




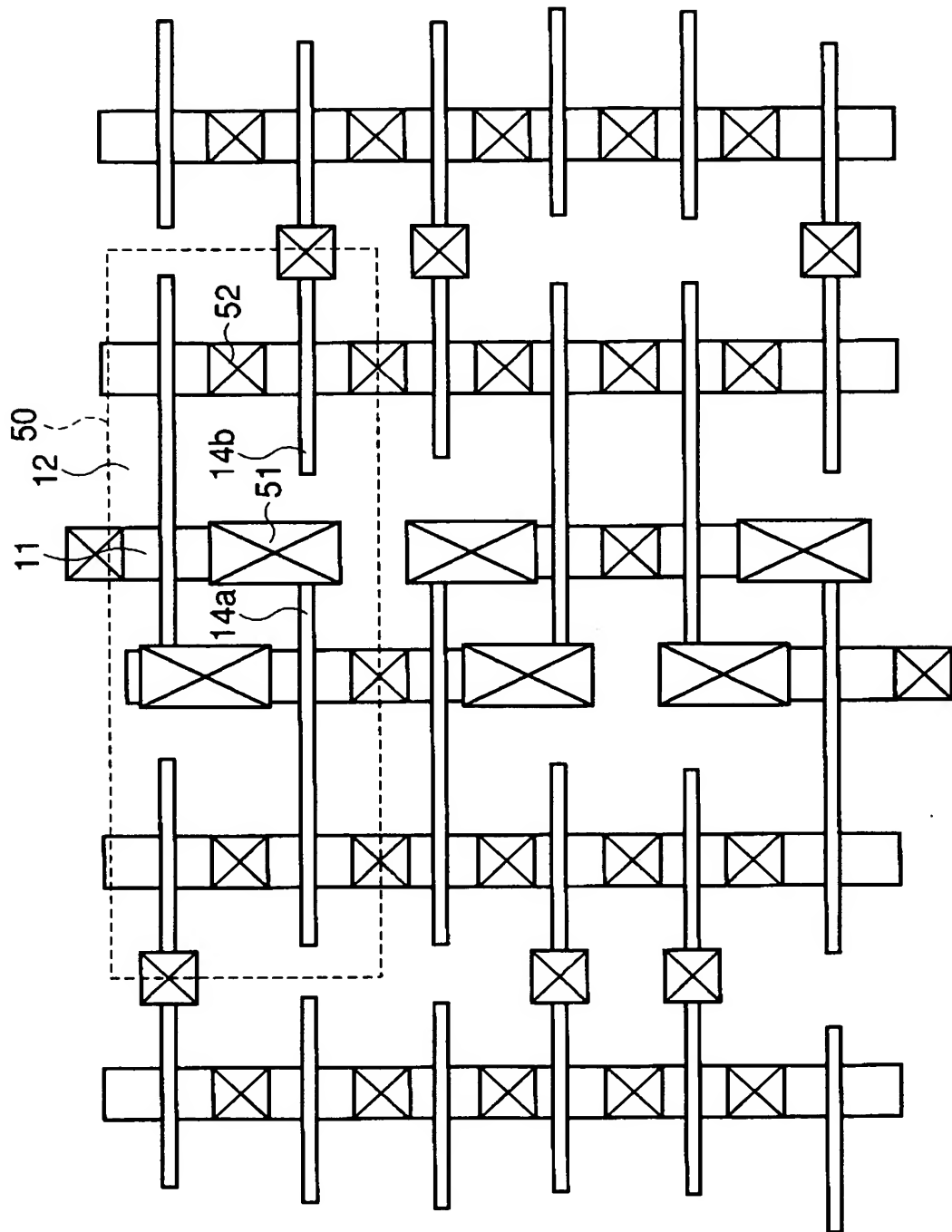
【図 22】



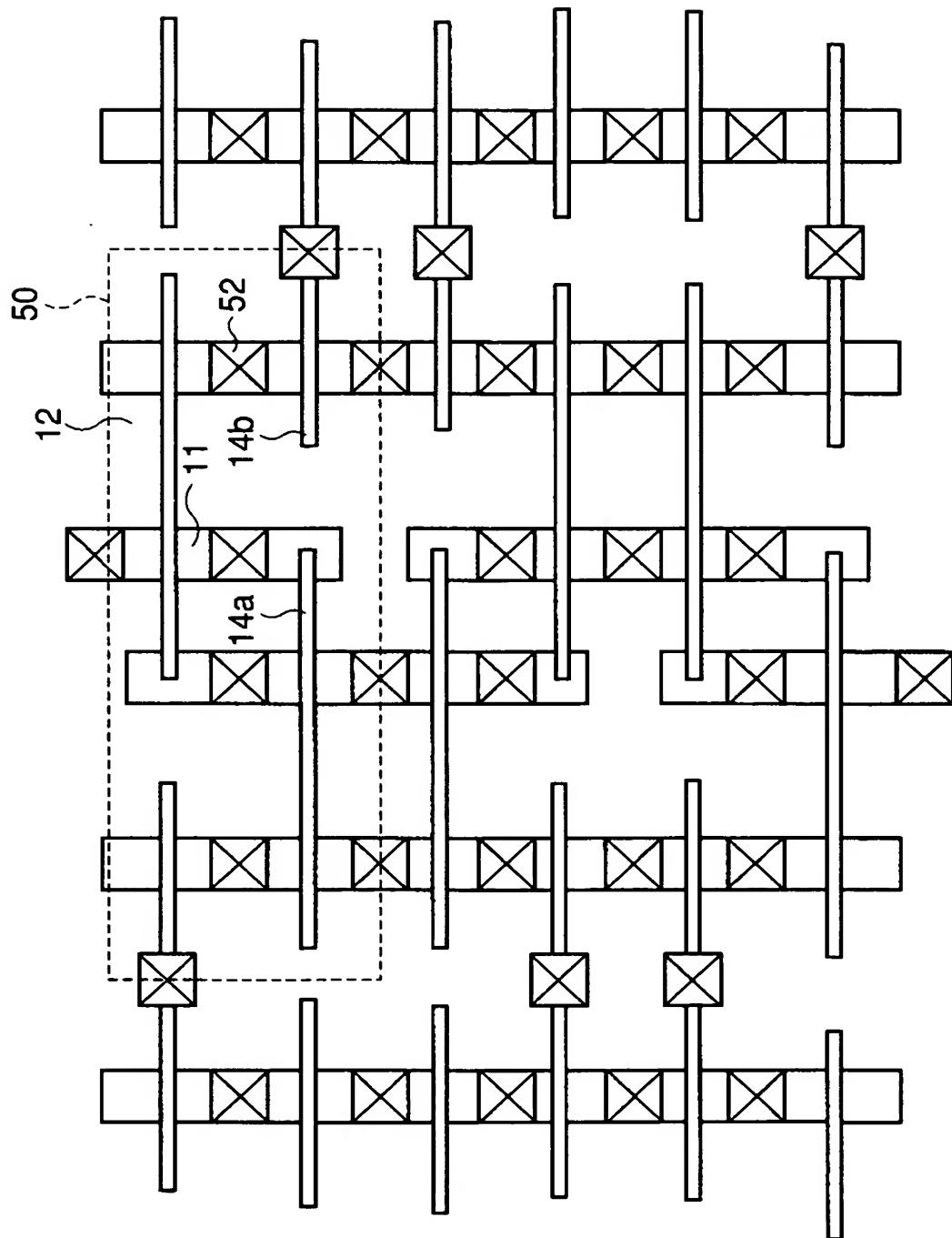
【図 23】



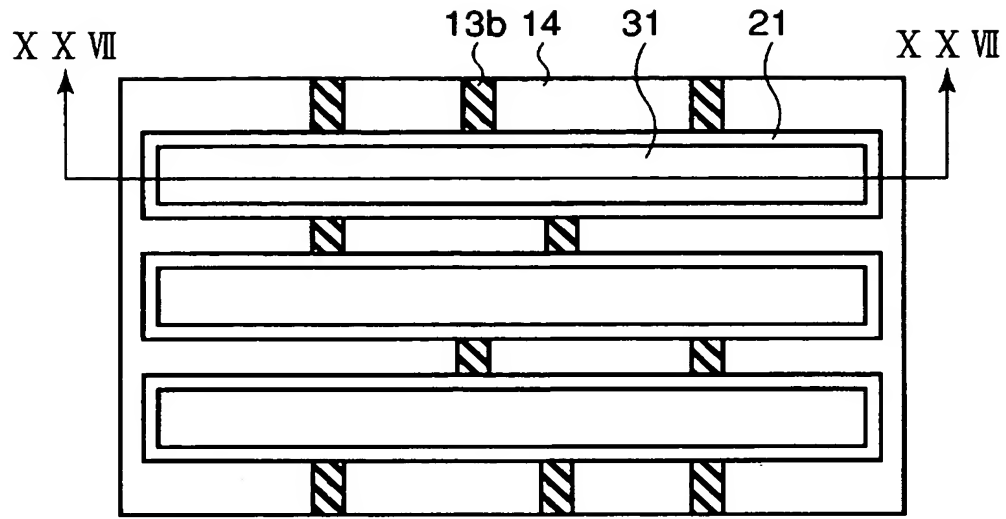
【図 24】



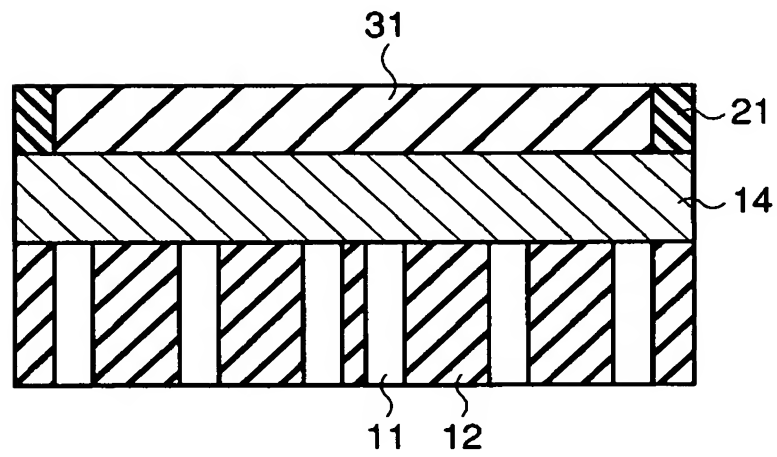
【図 25】



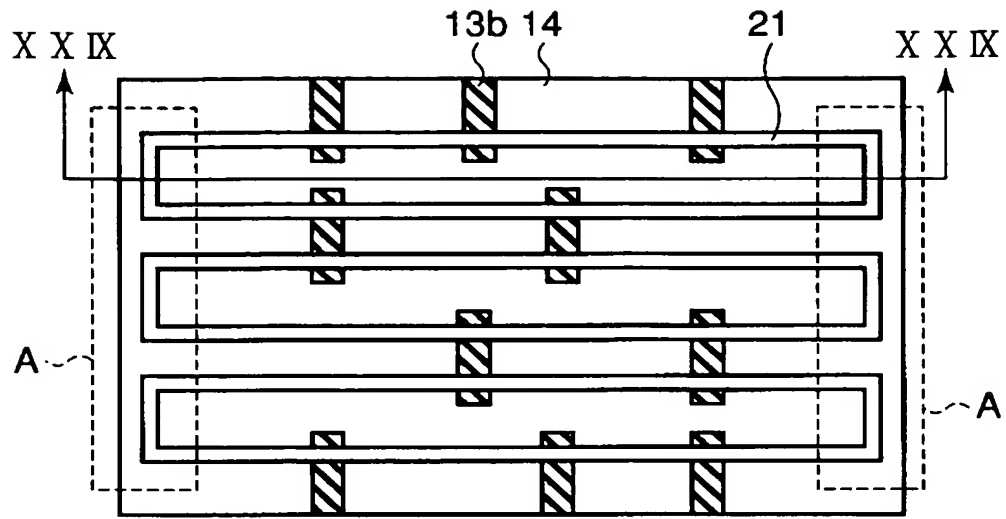
【図 26】



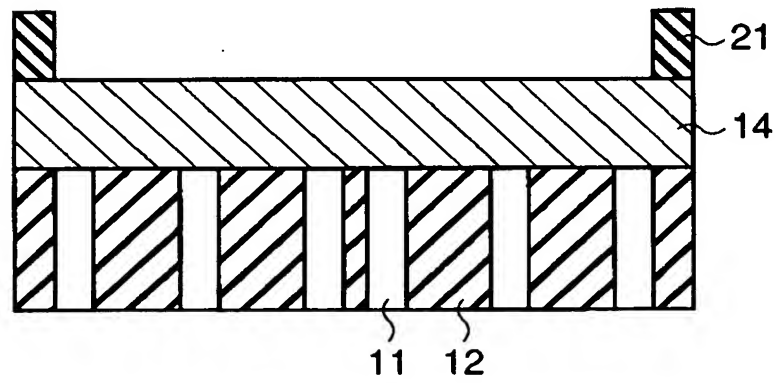
【図 27】



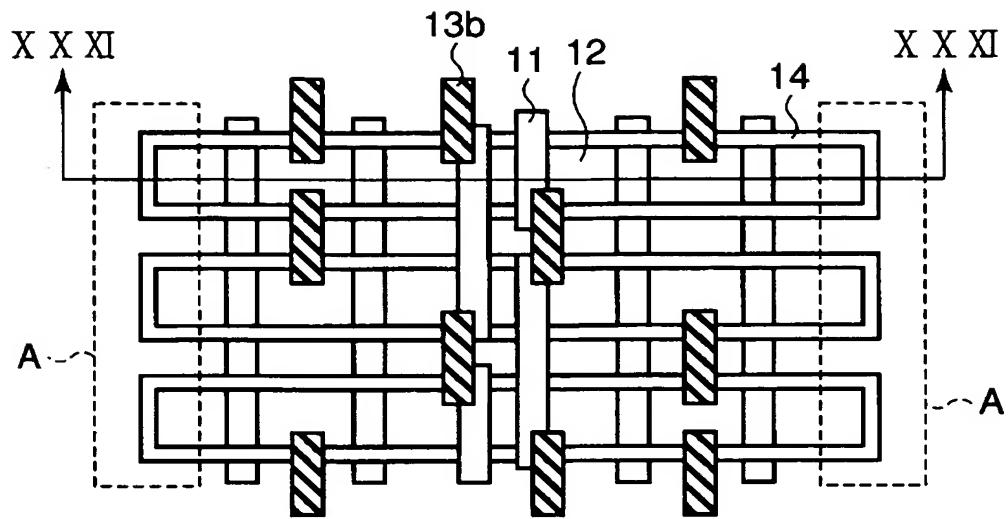
【図 28】



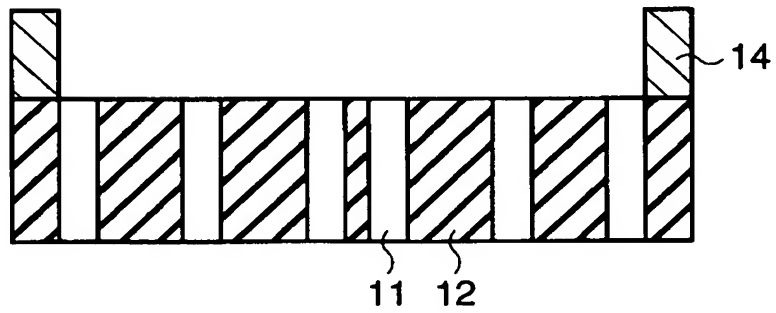
【図 29】



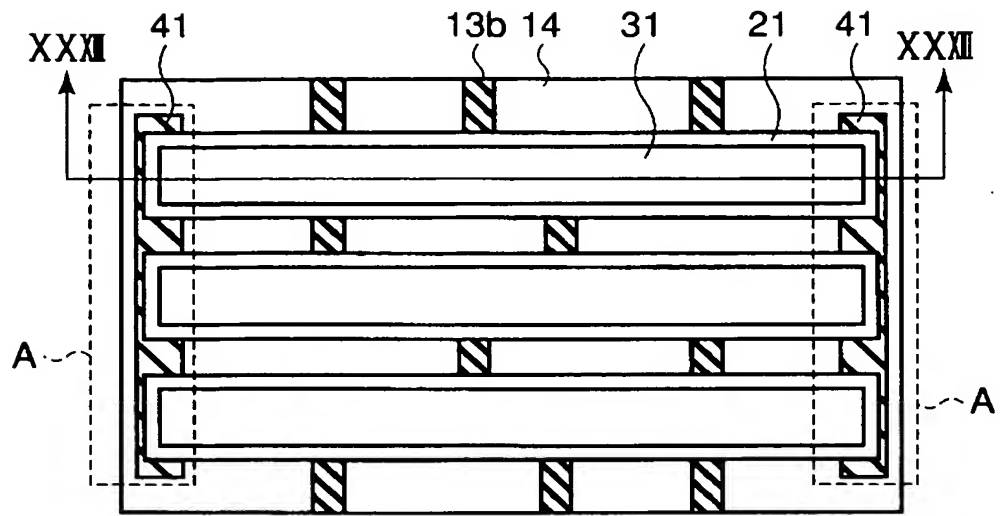
【図 30】



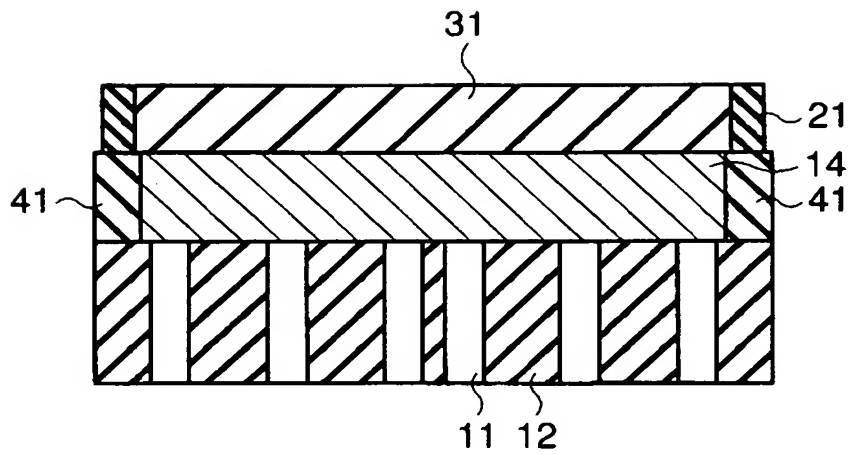
【図 31】



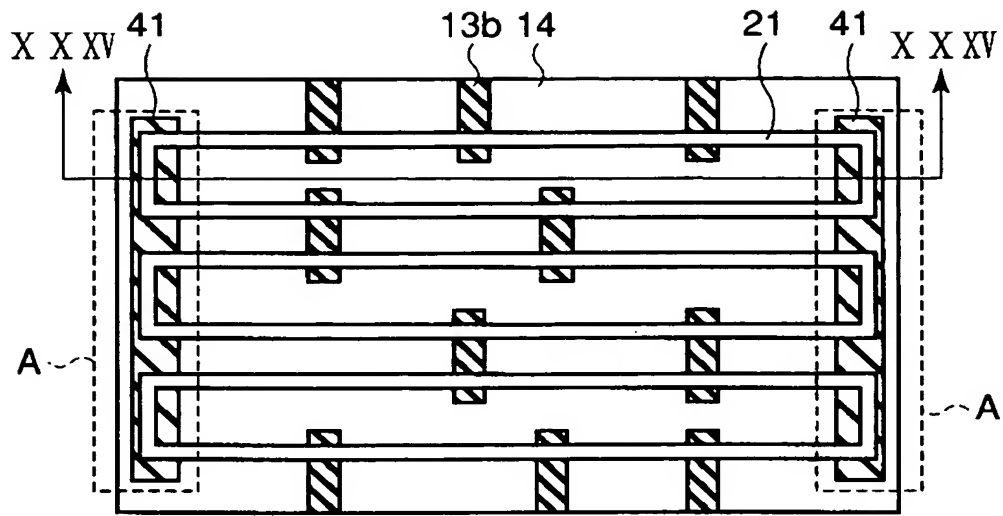
【図 3 2】



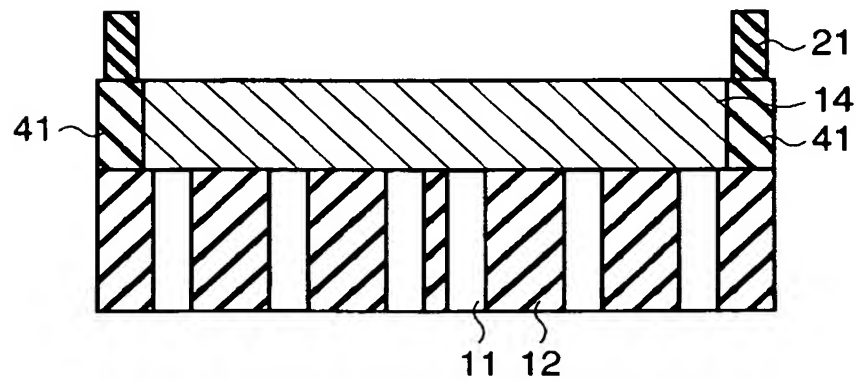
【図 3 3】



【図 3 4】

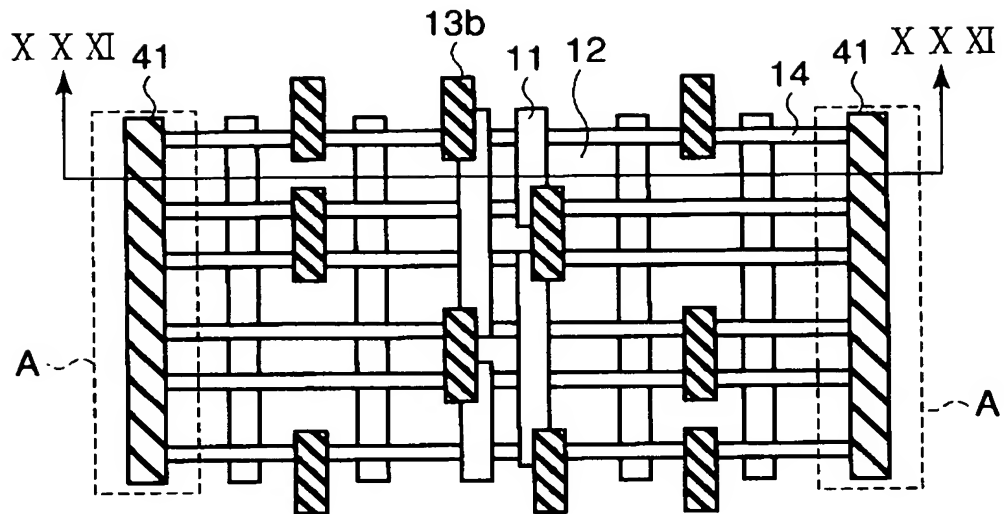


【図 3 5】

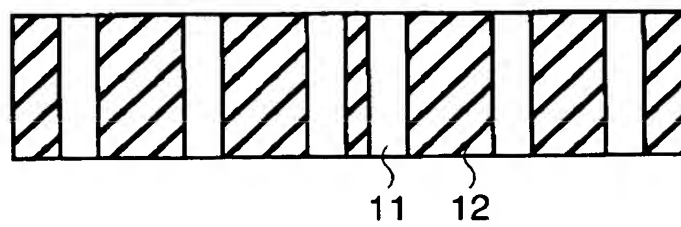




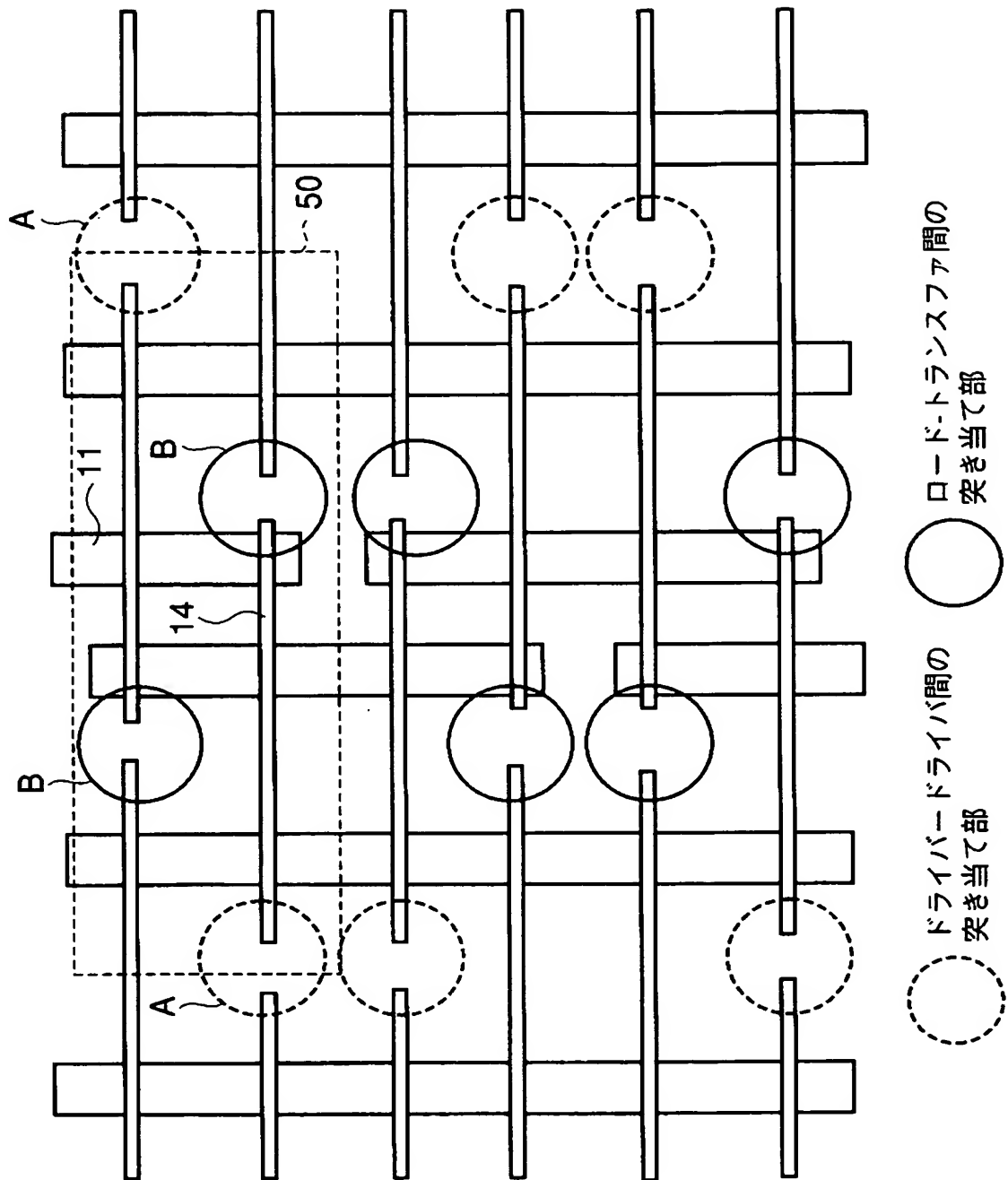
【図 36】



【図 37】



【図 38】



【書類名】 要約書

【要約】

【課題】 パターン間のスペースの縮小を図る。

【解決手段】 半導体装置は、第1の下端部17bとこの第1の下端部17bよりも突出する第1の上端部17aとを有する第1の配線層14aと、第2の下端部18bとこの第2の下端部18bよりも突出する第2の上端部18aとを有し、第2の上端部18aは第1の上端部17aと第1の間隔Xを有して向かい合い、第2の下端部18bは第1の下端部17bと第1の間隔Xよりも大きな第2の間隔Yを有して向かい合う第2の配線層14bとを具備する。

【選択図】 図2

特願 2 0 0 3 - 3 6 0 7 2 7

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝